



סינופסיס הכריזה על המערכות החדשות מבוססות ה-FPGA לבניית אבות טיפוס מדגם HAPS-80, המהוות חלק מהפתרון המלא של סינופסיס לבניית אבות טיפוס. מערכות HAPS-80 מספקות ביצועי FPGA-multi של עד ל-100 מגה הרץ וכן טכנולוגיית HSTDM (High Speed Time Domain Multiplexing) הכוללת את תוכנת ProtoCompiler לאוטומציית תכנון ולאימות עושה שימוש בשבבים החדשים מדגם Virtex Xilinx UltraScale VU440. השבבים הם בעלי קיבולת של 26 מיליון שערים לוגיים ב-ASIC לכל שבב FPGA, מה שמאפשר תמיכה בתכנוני ASIC של עד ל-1.6 מיליארד שערים לוגיים. השילוב בין חומרת HAPS לבין תוכנת ProtoCompiler מאיץ בצורה משמעותית פיתוח תוכנה, שילוב בין חומרה לתוכנה ותיקוף מערכת.

תוכנת ProtoCompiler, אשר כוללת ידע מובנה של ארכיטקטורת מערכת HAPS, מבצעת אוטומציה לתהליך החלוקה והחיבור של התיכנון (partitioning) ומאפשרת לקצר את הזמן הממוצע עד לאב טיפוס ראשון לכדי פחות משבועיים. התוכנה גם מקצרת איטרציות compile שמתבצעות מאוחר יותר בכמה שעות בהשוואה לאבות טיפוס לא משולבים (integrated-non). תוכנת ProtoCompiler ממנפת את יכולות ה-HSTDM החדשות של HAPS-80 בכדי לבחור באופן אוטומטי את התמהיל המיטבי של מתווי multiplexing-pin במטרה ליצור את ההתאמה הטובה ביותר לתכנון הנבדק.

הפתרון המשולב HAPS-80 מספק ביצועים של עד ל-300 מגה-הרץ לתכנונים של FPGA יחיד, ביצועים של עד ל-100 מגה-הרץ עבור FPGA-multi ללא multiplexing-pin ויותר מ-30 מגה-הרץ עבור FPGA-multi עם טכנולוגיה קניינית חדשה של Multiplexing Pin Speed High. הביצועים המשופרים של מערכות

ה-80-HAPS מאפשרים אתחול של מערכת ההפעלה למצב של prompt command בפחות מדקה. יכולת זו מאפשרת למתכננים לבדוק ולאתחל חומרה של שבבים כגון ה-CPU, הטיימרים וה-UARTs. ה-80-HAPS גם מאפשרת הפעלת O/I במהירות שבה הוא פועל בעולם האמיתי (O/I world real).

"סינופסיס השתמשה ב-6 דורות קודמים של שבבי FPGA של Xilinx והיא מהווה שותפה עסקית ותיקה של Xilinx עבור בניית אבות טיפוס מבוססת FPGA. הפתרון של סינופסיס עבור בניית אבות טיפוס מבוססת FPGA משלב בצורה הדוקה חומרה ותוכנת HAPS והוא יכול לספק את הביצועים והיכולות הגבוהים ביותר שאפשר להפיק משבב ה-UltraScale Virtex התקני". Xilinx-ב ואמולציה מדידה, לבדיקות העסקית היחידה מנהל, קרקלס הנקה אמר, "VU440 UltraScale מספקים שיפור של פי 2.2 בצפיפות השבב ורמת O/I משופרת ב-21%, נתונים אידיאליים עבור תכנונים מבוססים FPGA-multi של מערכות מורכבות על גבי שבב שעבורן בונים אבות טיפוס בעזרת מערכת HAPS".

זרימת התכנון מבוססת ה-timing של ה-FPGA-to-RTL image האוטומטי של ProtoCompiler מספקת את ביצועי אב הטיפוס הגבוהים ביותר ואת זמני ה-turnaround המהירים ביותר. ProtoCompiler מאפשרת יצירת אבות טיפוס בעלה רמה מיטבית של חלוקת תכנון FPGA-multi, השגה של יחסי ה-pin multiplexing הנמוכים ביותר, סינתזה ממוטבת ותהליכי route and place מונחים ב-FPGA. תכונות אלה מאפשרות למתכננים להשתמש בקלות בכל טווח הקיבולת של ה-80-HAPS, אשר תומכת בכמות של עד 1.6 מיליארד שערים לוגיים ב-ASIC. זרימת ה-SoC-to-IP הדינמית של ה-80-HAPS כוללת בתוכה RTL, אילוצי תכנון אבות טיפוס, נקודות גישת נראות (visibility) מוגדרות מראש לתיקון שגיאות וכללי סינתזה, מה שמבטל את הצורך לחזור על משימות אלה במערכת על גבי שבב ומקצר את זמן האינטגרציה בכמה שבועות.

ה-CPU מעבד של בסיליקון בעולם הראשון המימוש, "Baikal-T1" מדגם Warrior MIPS Imagination על שלנו פ"המו מרכז צוות מבסס אותן, גבוהה ולא יכות לחדשנות שלנו המחויבות של תוצאה הוא, P5600 שילוב קפדני בין חומרה לתוכנה ועל שיטות קפדניות לתיקוף מערכת. אנחנו מתבססים על מערכות בניית אבות הטיפוס HAPS לספק אבות טיפוס ASIC בביצועים גבוהים, כמו אב הטיפוס ל-T1-Baikal, ואנחנו עושים זאת בזמני אספקה מהירים", אמר גרגורי חרנוב, מנהל טכנולוגי ראשי ב-Electronics Baikal. "אנחנו מצפים שהתכונות של HAPS-80 לפרויקטים ההנדסיים שלנו בעתיד".

"ביצענו מיטוב לכל דור של המערכות שלנו לבניית אבות טיפוס מדגם HAPS בכדי לספק את הרמה הגבוהה ביותר של ביצועי מערכת ושל תפוקת מתכנן. סדרת HAPS-80 החדשה מטפלת בנקודות הכואבות של המתכננים בתחומי הביצועים, הסקלבליות, זמן ההגעה לאב הטיפוס הראשון ותיקון השגיאות, תוך שמירה על תאימות הדדית עם מערכות HAPS-70", אמר ג'ון קוטר, סגן נשיא לשיווק IP ותכנון אבות טיפוס בסינופסיס. "השילוב הייחודי של חומרת HAPS ושל תוכנת ProtoCompiler מספק את הזמן המהיר ביותר להגעה לאב הטיפוס הראשון יחד עם הביצועים הגבוהים ביותר. זאת, בכדי להאיץ את פיתוח התוכנה, את השילוב בין חומרה לתוכנה ואת תיקוף המערכת של תכנונים גדולים של מערכות על גבי שבב ומעבדים גרפיים".

{loadposition content-related}